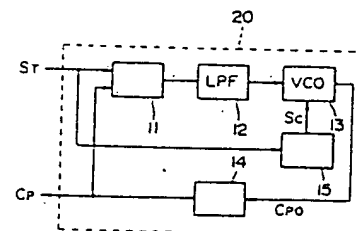


(54) CLOCK GENERATOR AND INFORMATION PROCESSING SYSTEM USING THE SAME

(11) 2-230821 (A) (43) 13.9.1990 (19) JP
 (21) Appl. No. 64-51387 (22) 3.3.1989
 (71) HITACHI LTD (72) KOZABURO KURITA(1)
 (51) Int. Cl.⁵ H03L7/10, G06F1/04, G06F1/12

PURPOSE: To surely synchronize the operation relating to a data processing including the data transfer between plural related information processing units by varying the range of the oscillating frequency of a voltage controlled oscillation means in response to the change in the frequency of a timing signal.

CONSTITUTION: When the frequency of a timing signal is high, a compensation means 15 changes the range of the frequency oscillated by a voltage controlled oscillation means to a high frequency. Since the frequency range of the clock signal of a clock generating circuit is changed to a high frequency thereby, it is prevented that the frequency of the timing signal goes to the outside of the frequency range of a synchronizing clock signal. When the frequency of the timing signal is lowered conversely, the compensation means 15 is operated to change the frequency range of the synchronizing clock signal to the lower frequency. That is, the frequency range of the synchronizing clock signal is changed in response to the frequency of the timing signal. Thus, the inoperation of the clock generating circuit is prevented.



St: timing signal, Cp: synchronizing clock signal, 11: phase comparator, 14: frequency divider, 15: compensation circuit

E4051

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-230821

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月13日

H 03 L 7/10
G 06 F 1/04
1/12

A 7459-5B

8731-5J H 03 L 7/10 Z
7459-5B G 06 F 1/04 3 4 0 Z

審査請求 未請求 請求項の数 19 (全17頁)

⑭ 発明の名称 クロック発生装置及び該装置を用いた情報処理システム

⑮ 特 願 平1-51387

⑯ 出 願 平1(1989)3月3日

⑰ 発 明 者 栗 田 公 三 郎 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 中 野 哲 夫 東京都小平市上水本町1450番地 株式会社日立製作所コンピュータ事業本部デバイス開発センター内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 鞆 沼 辰之

明 細 書

1. 発明の名称

クロック発生装置及び該装置を用いた情報処理システム

2. 特許請求の範囲

1. 2つの入力信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信号に応じた周波数の信号を発生する電圧制御発振手段とを有し、該発振手段の出力信号に基づいたクロック信号を出力するとともに、該クロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるクロック発生装置において、前記タイミング信号を入力とし、該タイミング信号の周波数の変化に応じて前記電圧制御発振手段の発振周波数の範囲を変化させる補償手段を設けたことを特徴とするクロック発生装置。

2. 2つの信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信号に応じた周波数の信号を発生する電圧制御発振手

段と、該発振手段の出力信号に基づいたクロック信号を複数のクロック信号に変換して分配する分配手段とを有し、該分配手段から出力されるクロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるクロック発生装置。

3. 2つの入力信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信号に応じた周波数の信号を発生する電圧制御発振手段と、該発振手段の出力信号に基づいたクロック信号を複数のクロック信号に変換して分配する分配手段と、前記タイミング信号を入力とし、該タイミング信号の周波数の変化に応じて前記電圧制御発振手段の発振周波数の範囲を変化させる補償手段とを有し、前記分配手段から出力されるクロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるクロック発生装置。

4. 前記補償手段が、前記タイミング信号によりセット・リセットされる積分回路を有し、該積

から出力されるクロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるものであることを特徴とする情報処理システム。

13. 複数の情報処理装置がバスを介して接続され、各情報処理装置は共通に与えられるタイミング信号に同期したクロック信号を発生する手段を有し、該クロック信号に基づいて他の情報処理装置間とのデータ転送を含む処理を同期させて実行する構成の情報処理システムにおいて、前記各情報処理装置に設けられるクロック信号発生手段が、2つの信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信号に応じた周波数の信号を発生する電圧制御発振手段と、該発振手段の出力信号に基づいたクロック信号に変換して分配する分配手段と、前記タイミング信号を入力とし、該タイミング信号の周波数の変化に応じて前記電圧制御発振手段の発振周波数の範囲を変化させる補償手段とを有し、前記分配手段から出力されるクロック

マルチバイブレータ。

17. 前記マルチバイブレータが半導体装置に組み込まれてなり、前記マルチバイブレータを形成する静電容量が、当該半導体装置内に形成された同一構造かつ同一容量の2つの静電容量を、対応する端子を互いに逆並列に接続してなるものとしたことを特徴とする請求項16記載のエミッタ結合型のマルチバイブレータ。
18. 前記2つの静電容量が、誘電体を介して積層された第1と第2と第3の導電体から形成され、第1と第3の導電体を共通接続して並列接続したことを特徴とする請求項17記載のエミッタ結合型マルチバイブレータ。
19. 入力信号のレベルによりセット・リセットされる積分回路と、基準電圧を出力するバイアス回路と、前記積分回路の出力電圧と前記バイアス電圧とを比較するコンパレータ回路と、該コンパレータ回路の出力信号により駆動されるチャージポンプ回路と、該チャージポンプ回路により充放電される静電容量と、該静電容量の端

ク信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるものであることを特徴とする情報処理システム。

14. 電流源と、該電流源の電流を2つの端子へ流す2つの電流スイッチと、を有し、該2つの電流スイッチを差動で動作させ、該2つの端子の一方を出力としたことを特徴とするチャージポンプ回路。
15. パイポーラトランジスタからなるスイッチング素子のコレクタにMOSからなる負荷素子を接続したスイッチング回路を2組有し、該各スイッチング回路の入出力端をレベルシフト回路を介して交差接続するとともに、前記スイッチング素子のエミッタを静電容量で結合してなるエミッタ結合型のマルチバイブレータ。
16. 前記スイッチング素子がオンのとき前記負荷素子のインピーダンスが大きくされ、前記スイッチング素子がオフのとき前記負荷素子のインピーダンスが小さくなる構成とされたことを特徴とする請求項15記載のエミッタ結合型のマ

ルチバイブレータ。

子電圧を平滑して出力するローパスフィルタ回路と、該ローパスフィルタ回路の出力電圧を電流に変換する電圧・電流変換手段と、該電圧・電流変換手段の出力電流で前記積分回路の積分電流を制御する積分電流制御手段と、を有し、前記変換された電流信号のレベルに応じた電流信号を出力するようにしてなることを特徴とする周波数-電流変換回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はクロック発生回路に係り、特にクロックに基づいて論理動作が行なわれる情報処理装置を内蔵する半導体集積回路装置のクロック発生回路に関する。

(従来の技術)

クロックに基づいて論理動作が行なわれる情報処理装置では、内部論理の誤差動作防止や高速化のためにクロックのタイミングの管理が重要である。特に、複数の情報処理装置がある場合、情報処理装置間でのデータの転送を確実にかつ高速に

内でしか変化させることができない。したがって、タイミング信号の周波数が、VCO13の発振する周波数範囲に対応する同期クロック信号の周波数範囲を越えた場合は、PLL10は動作できず、情報処理装置間のクロックの同期がくずれるという問題があった。

本発明の目的は、広い範囲で周波数変化する外部入力のタイミング信号に追従させて同期クロック信号を発生できる広い周波数範囲を持つクロック発生装置を提供することにある。

(課題を解決するための手段)

上記目的は、位相比較手段と該位相比較手段の出力レベルに応じた周波数信号を発生する電圧制御発振手段を有し、該発振周波数信号の位相と外部から入力されるタイミング信号とを前記位相比較手段に入力し、該タイミング信号に同期した同期クロック信号を出力する構成のクロック発生装置において、タイミング信号を入力としその周波数に応じて前記電圧制御発振手段の発振周波数の範囲を変化させる補償手段を設けることにより、

たクロック発生回路20であり、第2図の従来例と同一符号のものは同一の機能・構成を有する部品である。図において第2図従来例と異なるところは、タイミング信号 S_T を入力とし、そのタイミング周波数 f_T に応じてVCO13の発振する周波数範囲を変化させる補償回路15が設けられていることにある。補償回路15は、タイミング信号 S_T の周波数 f_T が高くなると、それに応じてVCO13に発振周波数範囲を周波数の高い方に变化させる信号 S_C を出力する。逆に、タイミング信号 S_T の周波数 f_T が低くなると、それに応じてVCO13に発振周波数範囲を周波数の低い方に变化させる信号 S_C を出力する。同期クロック信号 C_P はVCO13の発振出力信号 C_{PO} を分周器14で分周した信号である。したがって、同期クロック信号 C_P の周波数範囲はVCO13の発振周波数範囲と比例関係がある。このように、本実施例によればタイミング信号 S_T の周波数 f_T に応じて、同期クロック信号の周波数 f_C の範囲が変化するため、同期クロック信号 C_P の周波数範

達成される。

(作用)

補償手段は、タイミング信号の周波数が高いときは電圧制御発振手段の発振する周波数範囲を周波数の高い方に变化させる。それによって、クロック発生回路の同期クロック信号の周波数範囲も周波数の高い方に变化するため、タイミング信号の周波数が同期クロック信号の周波数範囲外となることを防止できる。逆にタイミング信号の周波数が低くなると、補償手段が動作して同期クロック信号の周波数範囲を周波数の低い方に变化させる。つまりタイミング信号の周波数に応じて同期クロック信号の周波数範囲が変化されるため、クロック発生回路が動作できなくなることが防止される。

(実施例)

以下、本発明の一実施例を図面を用いて説明する。

第1図は本発明の第1の実施例のブロック構成を示す。図示のように本実施例は、PLLを用い

図内にタイミング信号 S_T の周波数 f_T が収まり、この結果タイミング信号 S_T と同期し、かつ周波数の一致した同期クロック信号 C_P を得ることができる。したがって、本実施例によればタイミング信号 S_T の周波数変化に対応可能な周波数範囲の広いクロック発生回路を実現できる。なお、VCO13と補償回路15の具体的な実施例については後述する(第10図、第11図、第15図)。

第3図は、第1図のクロック発生回路20を内蔵させた情報処理用LSIのチップ構成の一実施例である。LSIチップ310は、クロック発生回路(CPG)20とクロック分配回路21から成るクロック回路22と、クロック回路22の出力であるクロック信号 C_P により制御される論理回路ブロック311~315とから構成される。CPG20はチップ外から入力されるタイミング信号 S_T を受けて、その信号と同期した同期クロック信号 C_P を出力し、分配回路21で各ブロック311~315を制御するためのクロック信号を生成する。ここで、クロック信号 C_P はタイミ

907, およびNMOS909と910の各電流は等しく設定される。つまり、PMOS904と906および907, PMOS904と905, NMOS908と909および910のカレントミラーで、トランジスタ903のバイアス V_A により抵抗902に流れる電流で制御されるからである。NMOS912と911, NMOS914と913は位相比較器11の差動出力信号PPとNP, PDとNDにより制御される。これらのNMOS912と911, NMOS914と913は、PMOS907とNMOS910の電流を、出力 V_a と内部とに切り替えるスイッチである。しかして、NMOS912がオン、すなわち信号PPが「H」で信号NPが「L」のとき、 V_a にPMOS907の電流を流し込む。一方NMOS914がオン、すなわち信号PDが「H」で信号NDが「L」のとき、 V_a からNMOS910の電流を引き抜く。これにより、位相比較器11の出力パルスを、 V_a に流れるパルス電流に変換する。他方、NMOS916は信号NPで制御され、

NMOS912がオフ、すなわち信号PPが「L」で信号NPが「H」のとき、PMOS907の電流をNMOS911を介してNMOS909へ導く。一方、NMOS915は、信号NDで制御され、NMOS914がオフ、すなわち信号PDが「L」で信号NDが「H」のとき、PMOS906の電流をNMOS913を介してNMOS910に導く。したがってPMOS907とNMOS910の電流は、 V_a へ電流を出力しないときでも常に流れるため、それらのドレインの電位を一定にすることができる。この結果、NMOS912と914のスイッチングの際のチャージシェアで生じるノイズ電流を無くすることができる。このように、チャージポンプ回路901は位相比較器11の出力パルス幅に等しいパルス電流を出力できるので、パルス幅に比例した電荷の注入又は引き抜きを実現できる。

ループフィルタ917は抵抗918と容量919の直列回路で構成され、チャージポンプ回路901のパルス電流を積分することにより電圧

に変換する。

このようにして、ローパスフィルタ12は、信号PPとNPのパルス出力があるとき、チャージポンプ回路901がループフィルタ917へ電荷を注入するため、 V_a の電位が上昇し、信号PDとNDのパルス出力があるとき、チャージポンプ回路901がループフィルタ917から電荷を引き抜くため、 V_a の電位は下降することになる。この結果位相差に応じたパルス信号は電圧に変換される。

第10図に、電圧制御発振器(VCO)13の一実施例を示す。図示のように、電圧・電流変換回路1001、電流制御発振器1002、レベル変換回路1003を有して構成される。電圧・電流変換回路1001は補償回路15の電流制御信号 I_c を受けて、ローパスフィルタ12の出力電圧 V_a を電流制御信号 I_o に変換し、電流制御発振器1002に出力する。これにより、電流制御発振器1002は I_o に応じた周波数で発振し、低電圧振幅の信号 V_e を出力する。レベル変換回路

1003は V_e を全振幅の信号 V_F まで増幅して出力する。

第11図に第10図の電圧・電流変換回路1001の一実施例を示す。NMOS1101と1102, 1103はカレントミラーとなっており、NMOS1102と1103に流れる電流 I_1 と I_2 は、 I_c と比例関係になり、次式で表わせる。

$$I_1 = n_1 \cdot I_c \quad \dots (1)$$

$$I_2 = n_2 \cdot I_c \quad \dots (2)$$

一方、NMOS1104と1105は差動対であり、基準電圧 V_A と V_a の電位の高低関係では I_1 を分流する。ここでNMOS1104の電流はPMOS1106に流れる。このPMOS1106と1107はカレントミラーとなっており、それらに流れる電流を等しく設定すると、PMOS1107の電流はNMOS1104と等しくなる。ところで、 V_a の電位が V_A より高い場合を考えると、NMOS1105の電流はNMOS1104より大きくなる。しかし、PMOS1107はNMOS1104と等しい電流しか供給できないの

ダンスを高くして振幅を充分確保し、逆にNPNトランジスタ1205、1206がオフのときはPMOS1207、1208のインピーダンスを低くして、立ち上がり速度を速くするようにしている。したがって、スイッチング回路の電流が小さいときでも振幅を充分確保でき、逆に電流が大きくて周波数が高くなっても出力の立ち上がりが速く充分動作できるため、発振周波数の範囲を広くとれることになる。

第13図にレベル変換回路1003の一実施例を示す。図示のように、PMOS1301、1302、1304、1306、1308、1309、1312、1313、NMOS1303、1305、1307、1310、1311、1314、1315を含んで構成されている。MOS1301~1307から成る回路は、前段の電流制御発振器1002の差動出力 V_e を入力とするMOS1301~1303の回路出力で、MOS1304と1305、MOS1306と1307からなるレシオ型インバータ回路のバイアス電流源であ

るMOS1305とMOS1307のゲートを制御しているため、レシオ型インバータ回路の論理しきい値を差動の V_e の中心にすることができ、これにより V_e の振幅を確実に増幅する。MOS1308~1311とMOS1312~1315からなる回路はCMOSのカレントミラーによるプッシュプル型のインバータ回路で、差動の信号をシングルエンドの両振幅に増幅する。また、MOS1308~1311とMOS1312~1315からなる回路は、入力接続を逆にするにより、差動の全振幅出力 V_F (C_{po})を実現している。すなわち、レベル変換回路1003は2段増幅により、電流制御発振器1002の低電圧差動出力 V_e を論理ゲート回路が動作できる両振幅の差動出力 V_F までレベル変換するようになっている。

第14図に分周器14の一実施例を示す。クロックドインバータゲート回路1404、1406、1407、1409とインバータゲート回路1405、1408による傳遞型ラッチ回路1401、

1402を有してなり、これらをレベル変換回路の差動出力 V_F で逆相に制御し、インバータゲート回路1403を介して負帰還することにより、 V_F の周波数を1/2に分周し、同期クロック信号 C_F として出力するようになっている。

第15図に補償回路15の一実施例を示す。分周器1501はタイミング信号 S_T の周波数 f_T を1/2に分周した出力信号 a_1 を出力する。この信号 a_1 はPMOS1503とNMOS1504のゲートに入力され、これにより容量1505の充放電を制御するようになっており、これらによって積分回路が構成されている。この容量1505の電位 a_2 はコンパレータ1501の+入力端に入力されている。このコンパレータ1501の-入力端には、電流源1506とダイオード1507~1509の直列回路からなるバイアス回路から、 $3 \times V_{se}$ の電位 a_3 が入力されている。そして、コンパレータ1501は入力される電位 a_2 と a_3 を比較し、両振幅の出力信号 a_4 を出力するようになっている。この信号 a_4 はPMOS

1512とNMOS1513のゲートに入力されている。これらのスイッチ素子は電流源1511と1514に直列接続され、これらによってチャージポンプ回路が形成されている。このチャージポンプ回路の出力信号 a_5 は容量1515に印加され、これによって容量1515の充放電を制御するようになっている。また、 a_5 は抵抗1516と容量1517からなるローパスフィルタ回路に入力されており、これによって容量1515の電位が平滑される。ローパスフィルタ回路の出力電圧 a_6 はNMOS1518のゲートに入力されている。このNMOS1518はPMOS1502と1519と1520からなるカレントミラー回路のPMOS1519に接続されている。このカレントミラー回路は、信号 a_4 に応じてNMOS1518に流れる電流 I_1 と、PMOS1520に流れる補償回路15の出力電流 I_c と、容量1505の充電電流 I_2 を比例させるようになっている。

第16図に、補償回路15の動作に係る各部電

$$I_c = n_s \cdot I_s \quad \dots (18)$$

$$I_s = n_s \cdot I_a \quad \dots (19)$$

したがって、 a_s の電位が上昇すれば I_s は増加し、 a_s の電位が下降すれば I_s は減少する。すなわち、本実施例は負帰還ループを構成しており、 a_s の電位が高い場合、 I_s が大きく、 I_a も大きい。 I_s が大きいと、 a_s の電位上昇も早くなるため、 t_s が大きくなる。 t_s が大きいと a_s の放電電荷が大きくなるため、 a_s の電位を下げるように動作する。逆に、 a_s の電位が低い場合は、 a_s の電位を上げるように動作する。このようにして、この負帰還ループが平衡となるのは、 a_s への充放電の電荷 Q_p 、 Q_o が等しくなったときである。そこで、(17)式で $Q_p = Q_o$ とすると次式が成り立つ。

$$I_s = 3 \cdot V_{se} \cdot C_s \cdot \frac{I_r + I_a}{I_r - I_a} \cdot f_r \quad \dots (20)$$

(18)~(20)式より、補償回路15の出力電流 I_c は次式となる。

$$I_c = 3 \cdot V_{se} \cdot C_s \cdot \frac{n_s}{n_a} \cdot \frac{I_r + I_a}{I_r - I_a} \cdot f_r \quad \dots (21)$$

で決めることができる。タイミング信号の周波数 f_r が高くなればVCO13の周波数の範囲も合わせて高くなり、逆に低くなれば同様に低くなる。ところで、第1図のクロック発生回路20では、タイミング信号の周波数 f_r と同期クロック信号の周波数 f_c とが等しくなるように制御しており、同期クロック信号の周波数 f_c はVCO13の発振周波数 f_o を分周器14で分周した周波数となるため、VCO13の発振周波数の周波数範囲はタイミング信号の周波数 f_r を分周する量の逆数倍した周波数を含む必要がある。そこで、分周器14の分周量を $\frac{1}{N}$ とすると、

$$N = \frac{3}{4} \cdot \frac{n_s \cdot n_a \cdot n_s}{n_a} \cdot \frac{I_r + I_a}{I_r - I_a} \cdot \frac{C_s}{C_o} \quad \dots (23)$$

となるように各回路定数を設定すれば、(22)式は次式に変換される。

$$N \cdot f_r \cdot \frac{n_s}{n_a} \cdot N \cdot f_r \geq f_o \geq N \cdot f_r \cdot \frac{n_s}{n_a} \cdot N \cdot f_r \quad \dots (24)$$

したがって、発振周波数 f_o の周波数範囲は、タイミング信号の周波数 f_r の分周量 $\frac{1}{N}$ の逆数倍し

上述したように、補償回路15は、入力されたタイミング信号 S_r の周波数 f_r に比例した積分電流を流す負帰還系を設け、その積分電流と比例した出力電流を出力する手段を設けた構成とされており、これにより、タイミング信号 S_r の周波数 f_r と比例した出力電流 I_c を出力する周波数・電流変換回路となっている。

ここで、第10図~第13図に示した電圧制御発振器13と第15図に示した補償回路15との組み合わせ動作について説明する。補償回路15の出力電流 I_c と電圧制御発振器VCO13の発振周波数 f_o の周波数範囲とには、前記(9)式の関係がある。一方、タイミング信号 S_r の周波数 f_r と出力電流 I_c と n は、前述(21)式の関係があるため、 f_o と f_r には次式が成り立つ。

$$\begin{aligned} \frac{3}{4} \cdot \frac{n_s \cdot n_a \cdot n_s}{n_a} \cdot \frac{I_r + I_a}{I_r - I_a} \cdot (n_s + n_a) \cdot \frac{C_s}{C_o} \cdot f_r &\geq f_o \\ &\geq \frac{3}{4} \cdot \frac{n_s \cdot n_a \cdot n_s}{n_a} \cdot \frac{I_r + I_a}{I_r - I_a} \cdot (n_s - n_a) \cdot \frac{C_s}{C_o} \cdot f_r \quad \dots (22) \end{aligned}$$

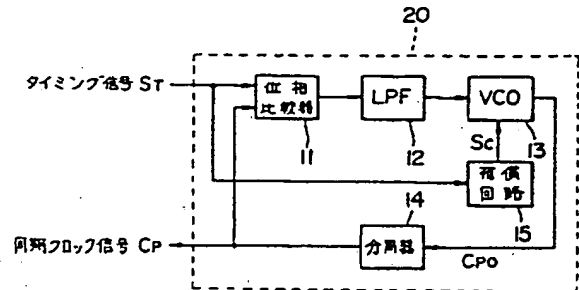
つまり、VCO13の発振周波数の範囲を、補償回路15を介してタイミング信号 S_r の周波数 f_r

と周波数 $N \cdot f_r$ を必ず含むため、動作できなくなることはなく、広い周波数範囲をもつクロック発生回路を実現できる。タイミング信号の周波数 f_r の変動に対応させることができる。

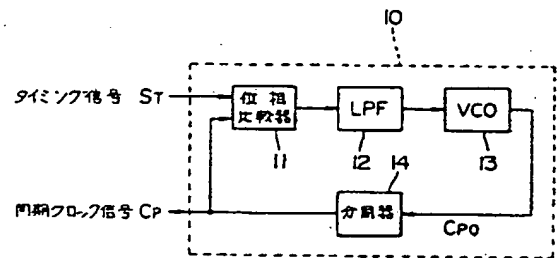
また、本実施例では、VCO13のタイミング容量 C_o と、補償回路15の積分回路の容量 C_s とを同じ構造とすれば、半導体集積回路を製造するときの容量バラツキを同じにすることができる。この結果、 C_o と C_s の比で決まる(23)式の N の値を、容量のバラツキに拘らず一定とすることができ、 N を正確に設定することが可能である。

第17図に、第12図に示した電流制御発振器1002の発振周波数 f_o の決定に係る容量1204の一実施例の構造を示す。容量1701と1702は同一構造で同一容量値で、端子 b_1 、 b_2 を逆にして並列接続されている。すなわち、LSIチップ上で容量を実現する場合、容量の二端子間以外にも寄生容量がある。この寄生容量は、 b_1 、 b_2 の端子に対して、異なる大きさであるため、容量を接続する場合、端子依存性が生じる。

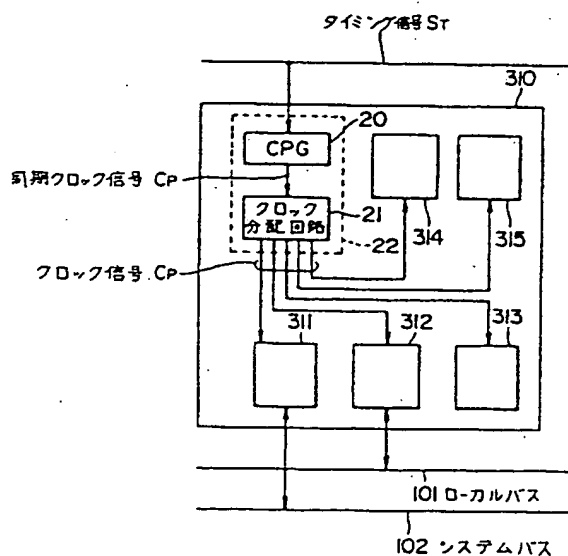
第 1 図



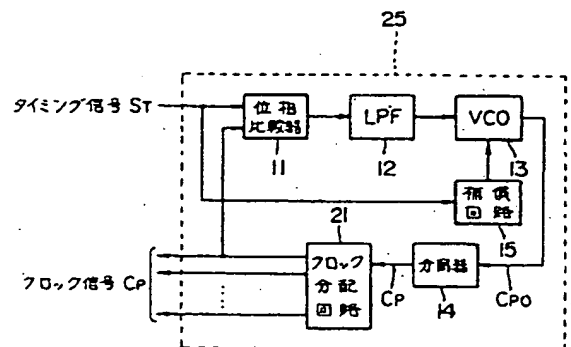
第 2 図



第 3 図



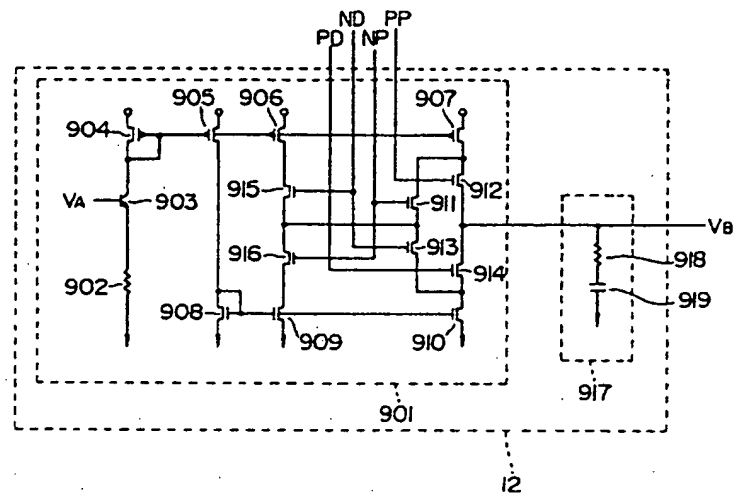
第 4 図



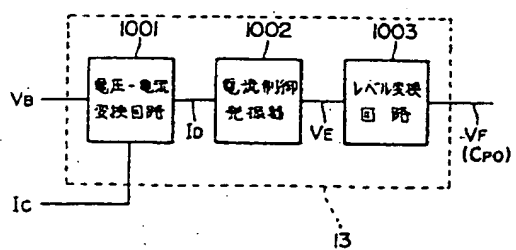
- 311~315, 321, 322, 331...
論理回路ブロック、
901...チャージポンプ回路、
917...ループフィルタ、
1001...電圧・電流変換回路、
1002...電流制御発振器、
1003...レベル変換回路、1801...基板、
1803...第1層ポリシリコン膜、
1804...第2層ポリシリコン膜、
1805...第1層アルミ膜、
1806...コンタクトホール。

代理人 羽 沼 辰 之

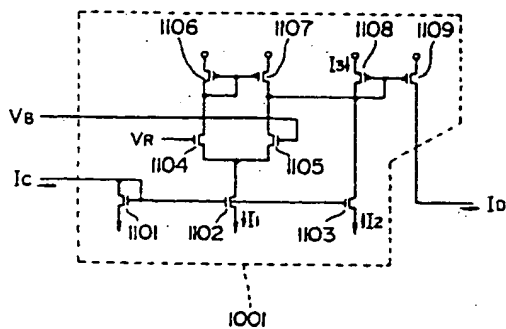
第 9 図



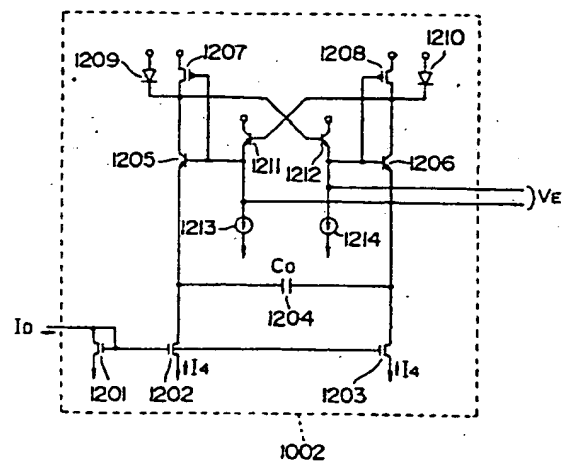
第 10 圖

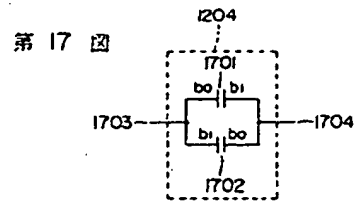


第 11 図

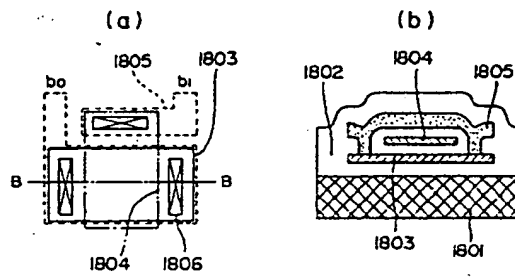


第 12 圖





第 18 図



第 19 図

